

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of  
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-295243

(43)Date of publication of application : 21.10.1994

(51)Int.CI.

G06F 9/38  
G06F 1/32  
G06F 1/04

(21)Application number : 05-081910

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 08.04.1993

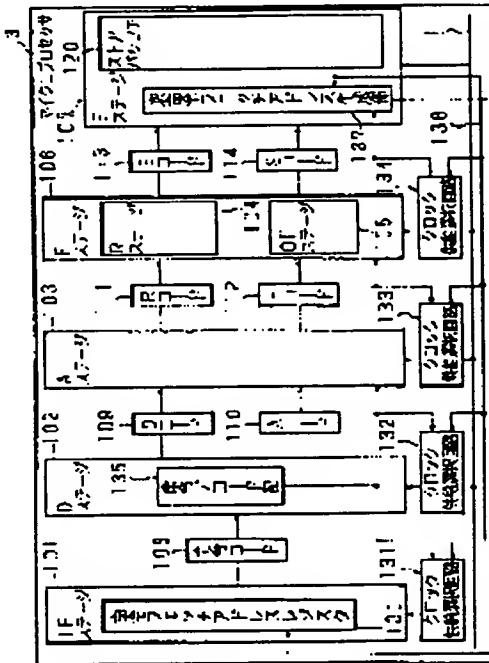
(72)Inventor : SUZUKI KATSUNORI

## (54) DATA PROCESSOR

### (57)Abstract:

PURPOSE: To avoid useless power consumption in other stage being in a stand-by state, in the case a comparatively long time is required for the processing in a certain stage, in the data processor for executing the pipeline processing.

CONSTITUTION: The data processor is provided with clock supply selecting circuits 131-134 which can select whether supply of a clock to each pipeline processing stage 101-103, 106 and 107 is executed or stopped, or a power source supply selecting circuit which can select whether power feeding is executed or not, and constituted so that at the time of processing of a specific instruction which requires a comparatively long time for the processing in an E stage 107 being a specific pipeline processing stage, supply of a clock or power feeding to each stage 101-103, and 106 of the pre-stages of its stage 107.





3

**[請求項5]** 外部からフェッチした命令を、それぞれがクロック供給手段から供給されるクロックに同期して動作する複数の処理ステージでバイライン処理するデータ処理装置において、  
前記起算数の処理ステージ内の特定の処理ステージでの処理に際して他の処理ステージが持続状態になる特定の命令が処理されることを検出する特定命令検出手段  
とする。  
請求項5によれば、  
処理中の命令の次の命令のアドレスを計算する次命令アドレス計算手段と、  
前記クロック供給手段から前記各処理ステージへのクロックの供給を行うか、または停止するかを選択するクロック供給選択手段と、  
外部から次にフェッチアドレス記憶手段と、  
前記各処理ステージ内に受けられ、それぞれの処理結果を記憶する動作記憶手段とを備え、  
前記クロック供給選択手段は、前記特定命令検出手段が特定の命令が処理されていることを検出した場合に介接状態になつている他の処理ステージへのクロックの供給を停止し、前記特定の処理ステージでの処理が終了した場合に前記動作記憶手段へのクロックの供給を行い、  
前記次命令アドレス計算手段は、前記特定の処理ステージでの処理が終了した場合に、次命令のアドレスを前記命令フェッチアドレス記憶手段に与えて次命令をフェッチさせると共に、  
請求項6によれば、  
外部から始電されて動作する複数の処理ステージでバイライン処理するデータ処理装置において、  
前記各処理ステージの外の特定の処理ステージでの処理に際して他の処理ステージが持続状態になる特定の命令が処理されることを検出する特定命令検出手段とする。  
請求項6によれば、  
外部から始電され、前記各処理ステージへの給電を行つた前記電源供給手段から前記各処理ステージへの給電を行つた前記電源供給手段と、  
前記各処理ステージの外の特定の処理ステージでの処理に際して他の処理ステージが持続状態になる特定の命令が処理されることを検出する特定命令検出手段とする。

データへの影響を行なう。  
前記次命令アドレス計算手剤は、前記特定の処理ステージでの処理が終了した場合に、次命令のアドレスを前記手剤に与えて次命令をフェッチさせることを特徴とするデータ処理装置。

【発明の詳細な説明】

(0001)

【審査上の引用分析】 本発明はデータ処理装置に関し、より具体的には、ハイライン処理を行なう際の各ステージでの待ち時間における圧力消費量を削減し得るデータ処理装置に関するものである。

**[0002]** 【従来の技術】ハイブリッド処理を行うための複数のシステム間データを備えた従来のデータ処理装置のマイクロプロセッサ構成例を図30の図に示す。図30において、図30はマイクロプロセッサ3内の5段構成の基本的なハイブリッド処理機構が示されている。

(1) [0003] 即ち、図示されていない外部メモリから命令を受け取り、命令アリフェッチする命令アリフェッチステージ(IFSステージ)101、命令をコードするデコードステージ(DSステージ)102、オペランドのアドレス計算を行うオペラントアドレスマスキングステージ(Aステージ)103、マイクロオペレーティングシステム(OS)104及びオペレーティングシステム(OS)105のアセス及びオペレンドのアリフェッチを行うオペランドアリフェッチステージ(Fステージ)106、命令オペランドアリフェッチステージ(Fステージ)106、命令

前記の如きを除く、上述のようなマイクロセッサ3を有する從来のデータ処理装置では、命令処理に際しては各ステージのデータ処理結果では、命令コード101からAステージ102へ渡される情報は命令コード108そのものである。一方Dステージ102からAステージ103に渡される情報は、命令で指定された演算に関する情報とオペランドアドレスの計算に関する情報との二種類があり、それぞれAD

三

コード108, Aコード110と析されるステージコードとして処理される。  
【0007】Aステージ103からFステージ106に渡される情報は、マイクロプログラムルーチンのエントリ監視情報で、マイクロプログラムへのパラメータ等を含む情報号、マイクロプログラムアドレスとアクセス方法の指示情報等を含む情報など、オペランドアドレスとオペランドアドレス等を含む情報があり、それぞれRコード111, Fコード112と析されるコード113として処理される。Fステージ106からEステージ107に渡される情報は、演算副処理部とリテラル等を含む情報など、オペランドアドレス等を含む情報と二種類がある。Fコード113とFコード114と析されるステージコードとして処理される。

【0008】図14は上述の図13に示されているデータ処理装置が処理対象とする命令列の一例を示す模式図であり、図15は各バイナリエンコード部で各ステージにおいて処理される命令の状態を示す模式図である。なお、命令列「命令01 の “move\_b”」は割り出し条件付のストリングの仮送達命令である。仮送達ストリング単位で行われ、1回の送達が完了するが、送達が終了する都度、割り出し条件がチェックされる。

割り出し条件が成立した場合には、命令はそれ以降の処理は行われずに終了する。

【0009】以下、この図14に示されている命令列を図13に示されているマイクロプロセッサ3に対するデータ処理装置が処理する場合の動作について説明する。まず、図示されていない外部メモリから命令401がIFステ

アーティスト01 にフェッチされる。アーティスト01 にフェッチされた命令01 は命令コード008 として Dステージ01[02] へ転送される。この状態が図15(a) に示す。

[0010] Dステージ02 では、命令401 をデコードし、そのデコード結果は Dコード109 及び Aコード110 として Aステージ103 へ転送される。また、次の命令402 が外部メモリから Aステージ101 にフェッチされて Dステージ02 へ転送される。この状態が図15(b) に示されている。

[0011] Aステージ03 では、命令401 の処理が終了すると、処理結果は Rコード111 及び Fコード112 として Fステージ106 へ転送される。また、命令402 が Dステージ02 から Aステージ103 へ転送される。命令403 が Dステージ02 から Aステージ103 へ転送される。アーティ

〔001-2〕Fステージ106では、命令401の処理が終了すると、処理結果はEコード113&Sコード114としてEステージ07へ転送される。また、命令402がAステージ103からSステージ106へ転送される。命令403がDステージ102からAステージ103へ転送される。命令404が外部メモリからI/Fステージ101にフェッチされDステージ102へ転送される。この状態が図5(d)に示されている。

[0013] ミステージ07では、命令401の処理が行なわれると、命令401がバイメモ書き込みを行なうのであるが、  
また、命令402がFステージ0106からEステージ0107へ  
転送される。命令403がAステージ103からDステージ06へ  
転送される。命令404がDステージ102からAステージ01へ転送される。次の命令05が、外部メモリからIFステージ101にフェッチされ、Dステージ102へ転送される。この状態が図版5(e)に示されている。

[0014] [免明が解決しようとする際図]ところで、上述の命令401のEステージ107での処理に比較的長時間を要する  
場合、その場合は、その他のステージ(03, Fステージ103, Dステージ102, Aステージ103)がFステージ107にて  
処理が終了するまで待機状態になる。この待機状態には、電源供給段2及びクロック供給段1を介して電力及びクロックが供給されており、無耗りに電力が消費されている。

[0015] 本免明はこのような事情に鑑みてなされたものであり、バイメモ書き込みを行うデータ処理装置において、あるステージでの処理に比較的長時間を要する場合に、他の待機状態になっている各ステージでの無駄な電力消費を回避し得ることを目的とする。

[0016] [問題を解決するための手段]本免明に係るデータ処理装置は、基本的に各バイメモ書き込み用データへのクロック供給を行うかまたは停止するかを選択可能なクロック供給装置、または給電を行うかまたは停止するかを選択可能な電源供給装置を備えており、あるバイメモ書き込み用データへの処理に比較的長時間を要する特定の命令の処理に際してそのステージよりも前段の各ステージへのロックの供給または給電を停止するようになっている。

[0017] 本免明のデータ処理装置の第1の免明は、特定の命令の命令コードを予め記憶していてその命令をデコードした場合には検出する特定命令検出手段と、処理中の命令の次の命令のアドレスを計算する次の命令アドレス計算手段と、各バイメモ書き込み用データへのクロック供給手段と、外部から次にフェッチすべき命令アドレス記憶手段とを備えている。

[0018] 本免明のデータ処理装置の第2の免明は、特定の命令の命令コードを予め記憶していてその命令をデコードした場合に検出する特定命令検出手段と、処理中の命令の次の命令のアドレスを計算する次の命令アドレス計算手段と、各バイメモ書き込み用データへの電力を供給する手段と、外部から次にフェッチすべき命令アドレスを

(5)

記憶する命令フェッチアドレス記憶手段とを備えている。

【0019】本発明のデータ処理装置の第3の発明では、特定の命令のアドレスを予め記憶して、その命令をフェッチした場合に検出する特定命令検出手段と、処理中の命令の次の命令アドレスを計算する次命令アドレス計算手段と、各バイライン処理ステージへのクロック供給手段と、または停止するかを選択する外部から次にフェッチすべき命令のアドレス記憶手段とを備えている。

【0020】本発明のデータ処理装置の第4の発明では、特定の命令のアドレスを予め記憶して、その命令をフェッチした場合に検出する特定命令検出手段と、処理中の命令の次の命令アドレスを計算する次命令アドレス計算手段と、各バイライン処理ステージへのクロック供給手段と、または停止するかを選択する外部から次にフェッチすべき命令のアドレス記憶手段とを備えている。

【0021】本発明のデータ処理装置の第5の発明では、特定の命令の命令コードを予め記憶して、その命令をデコードした場合に検出する特定命令検出手段と、処理中の命令のアドレスを計算する次命令アドレスを計算手段と、各バイライン処理ステージへのクロック供給手段と、または停止するかを選択する外部から次にフェッチすべき命令のアドレス記憶手段とを備えている。

【0022】本発明のデータ処理装置の第6の発明では、特定の命令のアドレスを予め記憶して、その命令をフェッチした場合に検出する特定命令検出手段と、処理中の命令の次の命令アドレスを計算する次命令アドレス計算手段と、各バイライン処理ステージへのクロック供給手段と、または停止するかを選択する外部から次にフェッチすべき命令のアドレス記憶手段とを備えている。

【0023】本発明のデータ処理装置の第7の発明では、特定の命令の命令コードを予め記憶して、その命令をデコードした場合に検出する特定命令検出手段と、処理中の命令のアドレスを計算する次命令アドレスを計算手段と、各バイライン処理ステージへのクロック供給手段と、または停止するかを選択する外部から次にフェッチすべき命令のアドレス記憶手段とを備えている。

【0024】本発明のデータ処理装置の第8の発明では、特定の命令検出手段が特定の命令が処理されていることをその命令コードにより検出した場合に各バイライン処理ステージへのクロック供給手段と、各バイライン処理ステージへのクロック供給手段と、各バイライン処理ステージへのクロック供給手段と、または停止するかを選択する外部から次にフェッチすべき命令のアドレス記憶手段とを備えている。

【0025】本発明のデータ処理装置の第9の発明では、特定の命令アドレスを計算する次命令アドレス計算手段と、各バイライン処理ステージへのクロック供給手段と、または停止するかを選択する外部から次にフェッチすべき命令のアドレス記憶手段とを備えている。

ステージへの命令アドレス記憶手段とを備えている。と共に、次命令のアドレスが次命令アドレス計算手段により計算されて命令フェッチアドレス記憶手段に与えられることにより次命令がフェッチされる。

【0026】本発明のデータ処理装置の第10の発明では、特定の命令アドレスを予め記憶して、その命令をフェッチした場合に検出する特定命令検出手段と、処理中の命令の次の命令アドレスを計算する次命令アドレス計算手段と、各バイライン処理ステージへのクロック供給手段と、または停止するかを選択する外部から次にフェッチすべき命令のアドレス記憶手段とを備えている。

【0027】本発明のデータ処理装置の第11の発明では、特定の命令の命令コードを予め記憶して、その命令をデコードした場合に検出する特定命令検出手段と、処理中の命令のアドレスを計算する次命令アドレスを計算手段と、各バイライン処理ステージへのクロック供給手段と、または停止するかを選択する外部から次にフェッチすべき命令のアドレス記憶手段とを備えている。

【0028】本発明のデータ処理装置の第12の発明では、特定の命令の命令コードを予め記憶して、その命令をデコードした場合に検出する特定命令検出手段と、処理中の命令のアドレスを計算する次命令アドレスを計算手段と、各バイライン処理ステージへのクロック供給手段と、または停止するかを選択する外部から次にフェッチすべき命令のアドレス記憶手段とを備えている。

【0029】本発明のデータ処理装置の第13の発明では、特定の命令アドレスを計算する次命令アドレス計算手段と、各バイライン処理ステージへのクロック供給手段と、または停止するかを選択する外部から次にフェッチすべき命令のアドレス記憶手段とを備えている。

【0030】本発明のデータ処理装置の第14の発明では、特定の命令アドレスを計算する次命令アドレス計算手段と、各バイライン処理ステージへのクロック供給手段と、または停止するかを選択する外部から次にフェッチすべき命令のアドレス記憶手段とを備えている。

【0031】参照符号1は各ステージ101, 102, 103, 106にクロックを供給するためのクロック供給配線を示している。なお、本発明のデータ処理装置のマイクロプロセッサ3には、図13の出来形に示されている電源供給配線2及びそれから各ステージへの電源配線も備えており、電源供給配線2から各ステージ101, 102, 103, 106へ6, 107への給電は隔離行われているが、電源供給配線2及びそれから各ステージへの給電線は省略してある。

【0032】なお、Eステージ107には1段のストップアッファ120が備えられている。このEステージ107にストップアッファ120が備えられた場合には、Eステージ107に示されているマイクロプロセッサ3は東側に5段以上示されているマイクロライン処理装置の第5の発明である。

コード109, Aコード110と称されるステーショードとして処理される。

【0033】ステージ103からDステージ106に渡されることは、マイクロプログラムルーチンのエントリ番号、マイクロプログラムへのバーメータ等を含む情報など、オペランドアドレスとアクセス方法の表示情報等を含む情報との二種類があり、それぞれEコード111, Dコード112と称されるステーショードとして処理される。Dステージ106からEステージ107に渡される情報には、計算部間情報とリテラル等を含む情報との二種類があつて、それぞれEコード113, Sコード114と称されるステーショードとして処理される。

【0034】以下、本発明をその実施例に基づいて詳説する。図1は本発明に係るデータ処理装置の概要図である。図1においては、前述の従来例の説明を示していき、図1は同一の参考符号は同一又は相当部分の説明成り転写される。図1においては、前の従来例の二種類の構成が示されている。

【0035】図1の左側に示すように、各ステージ101, 102, 103, 106は、各ステージ101, 102, 103, 106に渡されるクロック供給配線と回路131, 132, 133, 134が接続されている。これらのクロック供給配線1からそれぞのステージ101, 102, 103, 106へのクロック供給を止めると、各ステージ101, 102, 103, 106は停止する。

【0036】図1の右側に示すように、各ステージ101, 102, 103, 106は、各ステージ101, 102, 103, 106に渡されるクロック供給配線と回路131, 132, 133, 134が接続されている。これらのクロック供給配線1からそれぞのステージ101, 102, 103, 106へのクロック供給を止めると、各ステージ101, 102, 103, 106は停止する。

【0037】図1の左側に示すように、各ステージ101, 102, 103, 106は、各ステージ101, 102, 103, 106に渡されるクロック供給配線と回路131, 132, 133, 134が接続されている。これらのクロック供給配線1からそれぞのステージ101, 102, 103, 106へのクロック供給を止めると、各ステージ101, 102, 103, 106は停止する。

【0038】図1の右側に示すように、各ステージ101, 102, 103, 106は、各ステージ101, 102, 103, 106に渡されるクロック供給配線と回路131, 132, 133, 134が接続されている。これらのクロック供給配線1からそれぞのステージ101, 102, 103, 106へのクロック供給を止めると、各ステージ101, 102, 103, 106は停止する。

【0039】図1の左側に示すように、各ステージ101, 102, 103, 106は、各ステージ101, 102, 103, 106に渡されるクロック供給配線と回路131, 132, 133, 134が接続されている。これらのクロック供給配線1からそれぞのステージ101, 102, 103, 106へのクロック供給を止めると、各ステージ101, 102, 103, 106は停止する。

【0040】Eステージ107には、次命令フェッチアドレス生成部37が備えられている。この次命令フェッチアドレス生成部37が備えられた場合には、長時間処理命令の命令コード108とEステージ107のアドレスを記憶する機能がある。

(2)

アリする。処理結果はコード113及びコード114にしてEステージ107へ転送される。この状態が図2(d)に示されている。また、Aステージ108から検出信号136がFステージ106にも与えられているので、Fステージ106はFステージ106での処理終了後に検出信号136を自身のクロック供給選択回路134及びEステージ107へ出力する。これにより、クロック供給記憶1からFステージ106へのクロックの供給が停止されてFステージ106もその動作を停止する。

【0048】Eステージ107では、命令01の処理が終了すると、命令01がモリ書き込みを伴うためにストップアッファ120に書き込みデータを転送する。この状態が図2(e)に示されている。また、Fステージ106から検出信号136がEステージ107にも与えられているので、Eステージ107の次命令フェッチアドレス生成部107では命令01の次の命令である命令402のアドレス(00000000H)を生成する。

【0049】次に、前記の従来例と同様の図4に示されている命令列を実行する場合の本発明のデータ処理装置の構成の第1の動作について、各バイブライン処理部階層2を各ステージにおいて処理される命令の状態を示す図2(f)である。

【0050】図2(f)は、前記の従来例と同様の図4に示されている命令列を実行する場合の本発明のデータ処理装置の構成の第1の動作について、各バイブライン処理部階層2を各ステージにおいて処理される命令の状態を示す図2(f)である。

（0051）以上のように本発明のデータ処理装置の操作が可能である。

（10046）Aステージ103では、命令401の処理が終了すると、処理結果はRコード11及びFコード1-2としてFステージ106へ転送される。この状態が図1からクロックの開始が停止される。従って、長時間処理命令をEステージ107で処理している間は淡青色持機状態になる各ステージ101、102、103、106が動作しないため、黒點な電力消費が回避される。

えらされているので、Aステージ103 は Aステージ103 でその他の選択肢後で検出信号136 を自身のクロック供給選択回路133 及び Dステージ106 へ出力する。これにより、クロック供給配線11から Aステージ103 へのクロックの供給が停止される Aステージ103 での動作を停止する。

81

の発明の説明で参照した図13及び図1と同一の参照符号

外部メモリからフェッチすることはない。

【0055】その他の構成は前述の図1に示されている。また、図3ではクロック第1の免光と全く同じである。また、図3ではクロック供給配線1から各ステージ101, 102, 103, 106, 107へ供給するが、クロック供給のクロックの供給は時序行かれているが、クロック供給第2から各ステージ103への供給が停止されてシステムもその動作を停止する。

【0062】ステージ106では、命令401の処理がアクセスすると、処理結果はEコード113及びSコード114としてEステージ107へ伝送される。この状態が図1(d)

**【705.6】** 目次における「大画面のデータ取扱説明書」の題名は、既に見えていたときアーチャーのソリューションが示されています。また、アステーションから機械操作手順に示されています。よって、Fステップが「データ取扱説明書」に示されているので、Fステップは「データ取扱説明書」を示すものと解釈できます。

2の発明には、Eステージ107を除く他の「Fステージ10  
1,Dステージ102,Aステージ103及びFステージ106を自身の電源供給選択回路144及びEステージ107へ  
する。これにより、電源供給回路2からFステージ

アバッファ120に書き込みデータを転送する。この状況で、命令401がメモリ書き込み操作を伴うためにストップされ、データ供給配線2からそれまでのステージ01、102、103、104への電源の供給を停止し、処理料7信号38が与えられると、命令401がメモリ書き込み操作を伴うためにストップされる。

〔005.7〕 〔4〕 前述の卓1の電源の供給を行う。〔101, 102, 103, 106への電源の供給を行う。〕

データ処理装置の第2の免明の動作について、各バイアス回路に示されている命令列を実行する場合の免明のデータは命令01の次の命令である命令402のアドレス00000630)を生成する。

令401が「ステージ01」にフェッチされる。〔ステージ01〕にフェッチされた命令401は命令コード108としてス生成部137に与えられる。これにより、電源供給部配線2から各ステージ101、102、103、106への給電が開始される。

[0059] ロステージ01では 命令01をコード0059に変換して送信する。このとき、(アドレス)ノードエイリアスは元に記載されたアドレス(ノードエイリアス)に代入する。この結果、(アドレス)ノードエイリアスが記載された命令01が実行される。

【0065】[ステージ01]では、次命令 フェッチアレス生成部[37]から次命令02 のアドレス[00000006][11]としてAステージ03 へ転送される。また、次の命令01 し、そのデコード結果はDコード[09]及びAコード[10]としてAステージ03 へ転送される。

〔0086〕以上のように本発明のデータ処理装置の  
〔0081〕発明では、Dステージ102の命令コード部135  
〔0080〕ところで、命令401は長時間処理命令(sbo  
〔0079〕であるので、Dステージ102の命令コード部35

では、例として、**例題1**を示す。図1-1は、例題1の構成図である。**例題1**では、**命令コード**が「**出荷**」である。この命令コードが、**取扱品コード**である「**A**」と、**出荷数量**である「**10**」を組合せたものである。この命令コードを、**出荷**用の専用端末に入力すると、**出荷**処理が実行される。このとき、**出荷**処理によって、**出荷履歴登録**が実行され、**出荷履歴登録**用の専用端末に、**出荷履歴登録**結果が表示される。

(9)

8としてDステージ102へ転送される。その際、Dステージ107で処理している間は従来は待機状態になる各ステージ101, 102, 103, 106が動作しないため、無駄な電力消費が回避される。

[0 0 6 7] なお、上記実施例ではDステージ102に接続された命令デコード部135で長時間処理命令の命令コードを検出するようとしているが、他のステージ101, 103, 106, 107においては長時間処理命令の検出を行うようにもほぼ同様の効果を実現する。この状態が図6(a)に示されている。

[0 0 6 8] 次に本発明のデータ処理装置の第3の発明について説明する。図5は本発明に係るデータ処理装置の第3の発明の一実施例の構成を示すブロック図である。なお、この図5においては、前述の従来例及び第1, 第2の発明の説明を参照した図13及び図1、図3と同一の参照符号は同一又は相当部分を示している。

[0 0 6 9] 図5に示されているように、この第3の発明では、図1に示されている第1の発明においてDステージ102に命令デコード部135が備えられている代わりにブレーキボイント150プログラムカウンタ(PC)115及びアドレス比較器151が備えられている。

[0 0 7 0] また、Aステージ103, Fステージ106, Eステージ107及びストップアッファ120にもそれそれブロードカムカウンタ116, 117, 118及び119が備えられている。

[0 0 7 1] なお、以下の説明では、Dステージ102のプログラムカウンタ115の値を"0PC", Aステージ103のプログラムカウンタ116の値を"APC", Fステージ107のプログラムカウンタ116の値を"PPC", Eステージ106のプログラムカウンタ117の値を"PPC", Eアッファ120のプログラムカウンタ119の値を"SPC"とする。

[0 0 7 2] その他の構成は前述の図1に示されている。また、図5では電源供給部2から各ステージ101, 102, 103, 106, 107への給電は専用接続で行われているが、電源供給部2及びそれから各ステージ101, 102, 103, 106, 107へ給電される。このことは、各ステージ101, 102, 103, 106, 107の給電は各ステージ101, 102, 103, 106, 107の内部で各部品の電圧を調整するためである。

(10)

クの供給が停止される。ばつて、長時間処理命令をEステージ107で処理している間は従来は待機状態になる各ステージ101, 102, 103, 106が動作しないため、無駄な電力消費が回避される。

[0 0 8 0] Dステージ107では、命令401の処理が終了すると、命令401がメモリ書き込みを伴うので、ストップアッファ120に書き込みデータを転送する。その後、ストップアッファ120のプログラムカウンタ119には命令401のアドレス"0000062H"が"SPC"としてセットされる。また、Fステージ106から検出信号36がEステージ107に与えられる。また、図7ではクロック供給部1から各ステージ101, 102, 103, 106への給電を行っている。

[0 0 8 1] 本発明のデータ処理装置の第4の発明には、Eステージ107を除く他のDステージ101, Dステージ102, Aステージ103及びEステージ106それぞれに電源供給部1から各ステージ101, 102, 103, 106への給電供給部1が備えられている。これらの電源供給部1は、命令401のアドレス"0000062H"が"SPC"としてセットされる。また、Fステージ106から各ステージ101, 102, 103, 106への給電供給部1から各ステージ101, 102, 103, 106への給電が停止しているが、クロック供給部1及びそれから各ステージへのクロック信号は正常である。

[0 0 8 2] 具体的には、本発明のデータ処理装置の第4の発明には、Eステージ107を除く他のDステージ101, Dステージ102, Aステージ103及びEステージ106それぞれに電源供給部1が備えられている。これらの電源供給部1は、命令401のアドレス"0000062H"が"SPC"としてセットされる。また、Fステージ106から各ステージ101, 102, 103, 106への給電供給部1から各ステージへのクロック信号は正常である。

[0 0 8 3] 本発明のデータ処理装置の第4の発明が終了すると、処理結果は信号38を発生してクロック供給部1から各ステージ101, 102, 103, 106への給電が停止する。また、Fステージ106から各ステージへのクロック信号は正常である。

[0 0 8 4] 本発明のデータ処理装置の第4の発明が終了すると、Fステージ107を除く他のアドレス(0000062H)が命令402のアドレス(0000064H)に示される。また、Fステージ107を除く他のアドレス(0000064H)が命令402のアドレス(0000066H)に示される。このとき、Fステージ107は先に生成した次の命令である命令402のアドレス(0000064H)を命令402アドレススタータ30へ送る。

[0 0 8 5] Fステージ101では、次命令フェッチアドレス生成部137から次命令402のアドレス(0000064H)が命令402を外部メモリからフェッチして命令処理を行なう。

[0 0 8 6] 一方、Fステージ107では、次命令フェッチアドレス生成部137から次命令402のアドレス(0000066H)が命令402を外部メモリからフェッチして命令処理を行なう。

[0 0 8 7] 以上のように、Fステージ107が命令402のアドレス(0000066H)を命令402を外部メモリからフェッチして命令処理を行なう。これにより、クロック供給部1から各ステージ101, 102, 103, 106への給電が停止する。従って、Fステージ102へのクロックの供給が停止されてFステージ101及びDステージ102の動作が停止する。この際、Fステージ101が次の命令401を外部メモリからフェッチすることはない。

[0 0 8 8] Aステージ103では、命令401の処理が終了すると、処理結果はRコード111及びFコード112としてFステージ106へ転送される。この際、Fステージ106のプログラムカウンタ117には命令401のアドレス"0000062H"が"PPC"としてセットされる。また、アドレス比較器151から検出信号36がAステージ103にも与えられているので、Aステージ103はAステージ103での処理結果を自身のクロックを自身のクロック供給部151で長時間処理命令のアドレスを検出するように出力するが、他のステージ101, 102, 103, 106, 107においてもほぼ同様の効果が得られる。

[0 0 8 9] 次に本発明に係るデータ処理装置の第4の発明について説明する。図7は本発明に係るデータ処理装置の第4の発明の構成を示すブロック図である。なお、この図7においては、前述の従来例及び第1, 第2, 第3の発明の説明を参照した図1及び図1, 図5と同一の参照符号は同一又は相当部分を示している。

[0 0 8 10] 図7に示されているように、この第4の発明では、図5に示されている第3の発明の構成に備わっているクロック供給部1からFステージ106に示されるクロックの供給が停止させてAステージ103の動作が停止する。このことは、各ステージ101, 102, 103, 106, 107の給電が停止している。

[0 0 8 11] Fステージ106では、命令401の処理が終了すると、処理結果はEコード113及びSコード114としてEステージ107へ転送される。その際、Eステージ107のプログラムカウンタ118には命令401のアドレス"0000062H"が"SPC"としてセットされる。また、Aステージ103から検出信号36がFステージ106にも与えられているので、Fステージ106はFステージ106での処理結果を自身のクロック供給部151に起動されると、その際、Fステージ106のアドレス(0000062H)が"SPC"としてセットされる。このように外部メモリからFステージ101にフェッチされる。そして、Fステージ101にフェッチされた命令401は命令コード101としてDステージ102へ転送される。その際、リステージ102のプログラムカウンタ115には命令401のアドレス"0000062H"が"SPC"としてセットされる。このようにプログラムカウンタ101に斯た命令のアドレスが表示されている。

[0 0 8 12] Dステージ102では、命令401をデコードし、そのデコード結果はDコード109及びSコード110としてAステージ103へ転送される。また、次の命令402が外部メモリからFステージ101にフェッチされると、その際、Fステージ101に示される。

(11)

[0093] この図、Aステージ[03]のプログラムからFステージ[02]へ転送される。また、命令コード部[35]により長時間処理命令が検出された場合に発出信号[13]はAステージ[03]がDステージ[02]のバッファ[16]からAステージ[03]のみに与えられ、その後にAステージ[03]へ転送される。また、前述のようにアドレス比較器[51]はDステージ[02]のプログラムカウンタ[15]にセットされた"PC"とPCとしてセットされる。

[0106] には与えられていない。

[0106] 次に、前述の從来例及び各発明と同様の図に示されている命令列を実行する場合の本発明のデータ処理装置の動作について、各ハイライトン表示段階で各ステージにおいて処理される命令の状態を示す図10の構成図を参照して説明する。

[0107] まず、図示されていない外部メモリから命令[401]がDステージ[10]にフェッチされる。Dステージ[10]にフェッチされた命令[401]はバッファ[16]から命令コード[108]として出力されDステージ[10]へ転送される。その後、次の命令[402]が外部メモリからDステージ[10]にフェッチされ、バッファ[16]にその命令[402]の命令コード及び命令アドレスが一括記憶される。この状態が図10(a)に示されている。

[0108] Dステージ[10]では、命令[401]をデコードし、そのデコード結果はバッファ[16]からDコード[109]及びAコード[110]として出力される。Aステージ[03]へ転送される。また、Dステージ[102]の命令コード部[35]で最終処理命令("move.b")であることが検出されるので、命令[401]は検出信号[136]をAステージ[10]へ出力する。更に、外部メモリから命令[403]がDステージ[10]にフェッチされ、バッファ[16]にその命令[403]の命令コード及び命令アドレスが記憶される。この状態が図10(b)に示されている。

[0109] Aステージ[03]では、命令[401]の処理が終了すると、処理結果はバッファ[16]からRコード[111]及びDコード[112]として出力されてDステージ[106]へ転送される。また、Dステージ[102]から入力された検出信号[136]もDステージ[106]へ出力される。

[0110] その後、命令[402]がDステージ[102]のバッファ[16]からAステージ[03]へ転送される。また、命令[403]がDステージ[101]のバッファ[16]からDステージ[10]へ転送される。更に、外部メモリから命令[404]がDステージ[10]へフェッチされ、バッファ[16]にその命令[404]の命令コード及び命令アドレスが記憶される。この状態が図10(c)に示されている。

[0111] Dステージ[06]では、命令[401]の処理が終了すると、処理結果はバッファ[16]からEコード[113]及びSコード[114]としてEステージ[07]へ転送される。また、Aステージ[03]から入力された検出信号[136]もEステージ[107]へ出力される。その後、命令[402]がAステ

(12)

ジ[08]のバッファ[16]からFステージ[106]へ転送される。また、命令[403]がDステージ[102]のバッファ[16]からAステージ[103]へ転送される。命令[404]がDステージ[101]のバッファ[16]からDステージ[102]へ転送される。更に、外部メモリから命令[405]がDステージ[101]へフェッチされ、バッファ[16]にその命令[405]の命令コード及び命令アドレスが記憶される。この状態が図10(d)に示されている。

[0112] Eステージ[07]では、命令[401]の処理が終了すると、命令[401]がメモリ書き込みを伴うので、ストアバッファ[120]に書き込みデータを転送する。その後、命令[402]がDステージ[106]からDステージ[107]へ転送される。命令[402]がAステージ[101]のバッファ[16]からFステージ[106]へ転送される。また、命令[404]がDステージ[102]のバッファ[16]からAステージ[103]へ転送される。命令[405]がDステージ[101]のバッファ[16]からDステージ[102]へ転送される。更に、外部メモリから命令[406]がDステージ[101]へフェッチされ、バッファ[16]にその命令[406]の命令コード及び命令アドレスが記憶される。この状態が図10(e)に示されている。

[0113] また、Dステージ[106]からDステージ[107]へ転送信号[136]が入力されると、Eステージ[07]は各ステージ[101, 102, 103, 106]のクロック供給直前の回路[131, 132, 133, 134]へ検出信号[136]を出力して各ステージ[101, 102, 103, 106]へのクロック供給回路[131, 132, 133, 134]へクロックの供給を停止させる。これにより、各ステージ[101, 102, 103, 106]はその動作を停止するが、それとのステージ[101, 102, 103, 106]のバッファ[16], 161, 162, 163はストップした結果を行うのでクロックが供給されずともその時点の各ステージ[101, 102, 103, 106]の処理結果を失うことはない。

[0114] ストアバッファ[120]では、命令[401]の処理が終了すると、処理結果信号[138]を発生して各クロック供給直前の回路[131, 132, 133, 134]に与える。これにより、クロック供給回路[131, 132, 133, 134]から各ステージ[101, 102, 103, 106]へのクロックの供給が初期化される。このクロックの供給が再開された時点で、各ステージ[101, 102, 103, 106]の処理結果のデータを転送しているバッファ[160, 161, 162, 163]の内容が各段のステージ[101, 102, 103, 106]へ送られるので、それまでのステージ[102, 103, 106, 107]ではそれらのデータによって以降の処理を開始する。

[0115] [Fステージ[101]]では、バッファ[16]に記憶されている命令アドレスの次のアドレス、上記の所では命令[406]の命令アドレスがバッファ[16]に記憶される。この命令[406]の次の命令[407]のアドレス(00000006H)が命令フェッチアドレスレジスタ[130]に与えられるので、その命令[406]を外部メモリからフェッチして命令処理を続ける。

[0116] 以上のように、Dステージ[106]の命令[406]がFステージ[101]の命令[407]の命令命令コ

13)

ードが長時間処理命令のコードであることが検出可能となる場合には、その命令をEステージ107で処理している間はそれより前段の各ステージ101, 102, 103, 106ではそれが処理結果をそれぞれのバッファ160, 161, 162, 163に記憶した状態でクロック供給部編成1からのクロックの供給が停止される。従つて、各ステージ101, 102, 103, 106が動作することがないため無駄な電力消費が回避されると共に、処理の再開時に外部メモリから無駆動命令ファッчуを行なうことなく、またクロックの供給停止時までに各ステージ101, 102, 103, 106で処理した結果をそのまま再使用して迅速に処理を再開することが出来る。

[01117] なお、上記実施例ではDステージ102に設けられた命令デコード部135で長時間処理命令を検出するようになっているが、他のステージ101, 103, 106, 107のいずれで長時間処理命令の検出を行なうようにしてもほぼ同様の効果を發揮する。また、上記実施例では命令をコードして得られる命令コードにより長時間処理命令を検出するが、長時間処理命令のアドレスが予め明確しているのであれば、図5及び図7に示されている第3及び第4の発明と同様に、アドレスの一一致検出による構成としてもよい。

[01118] 次に本発明のデータ処理装置の第6の発明について説明する。図11は本発明に係るデータ処理装置の第6の発明の一実施例の構成を示すブロック図である。なお、この図においては、前述の説明及び図1, 図3, 図5, 図7, 図9と同一の参考符号は同一又は相当部分を示している。

[01119] 図11に示されているように、この第6の発明では電源供給回路141, 142, 143, 144が備えられていてクロック供給選択回路131, 132, 133は備えられていない。また、図11ではクロック供給機能1から各ステージ101, 102, 103, 106, 107へのクロックの供給は常時行われているが、クロック供給機能1及びそれから各ステージへのクロック選引線は省略してある。

[01120] また、この第6の発明では、図9に示されている第5の発明で備えられているバッファ160, 161, 162, 163がいずれも各ステージ101, 102, 103, 106が独立して、各ステージ101, 102, 103, 106へ電源供給部2からの電源供給が電源供給選択回路141, 1, 142, 143, 144により遮断された場合に各バッファ160, 161, 162, 163への電源供給が行なわれるようになっている。

[01121] また、この第6の発明では、前述の図5及び図7に示されている第3及び第4の発明と同様のプログラムカウント115, 116, 117, 118, 119がそれぞれDステージ102, Aステージ103, Fステージ105, Eステージ107, スタートバッファ120内に備えられている。

[01122] 更に、前述の図5及び図7に示されている

第3及び第4の発明ではDステージ102にPCブレークボタン31及びアドレス比較器151を備えているが、本発明ではそれらをストップアッファ120に備えている。そして、このストップアッファ120に備えられているアドレス比較器151から出力される検出信号S76は各電気回路基板141、143、144に与えられている。

図9に示されている第5の発明と同様であらわす。

[0123] 次に、前述の従来例及び本発明と同様の図9に示されている命令例を実行する場合の基本発明の一動作について、各ハイブリダイゼーション装置の第6の発明の一動作について、各ハイブリダイゼーション装置各ステージにおいて処理される命令の状態を示す図2の模式図を参照して説明する。

命令0101[124]までは、図示されていない外部メモリから命令01がDステージ101にフェッチされる。IFステージ101にフェッチされた命令01はハッファ160を経由して命令コード108としてDステージ102へ転送される。

命令0102[000062H]が“OPC”としてセレクトされる。その後、次の命令042が外部メモリからIFステージ101にフェッチされ、ハッファ160にその命令コード108としてDステージ102へ転送される。

命令0103[000062H]が“OPC”としてセレクトされる。その後、次の命令042が外部メモリからIFステージ101にフェッチされ、ハッファ160にその命令コード108としてDステージ102へ転送される。

A160 にその命令404の命令コード及び命令アドレスが記述される。この状態が図12(c)に示されている。  
[0 1 2 7] Fステージ106では、命令401の処理が終了すると、その処理結果はバッファ163を経由してEコード113 及びSコード114としてEステージ107へ転送される。その際、Eステージ107のプログラムカウンタ118には命令401のアドレス "000000068H" が "PC" としてセッテируется。また、次の命令402 がAステージ103からバッファ162 を経由してFステージ106へ転送され、プログラムカウンタ117には命令402のアドレス "00000064H" が "PC" としてセッテируется。更に、命令403 がDステージ102 からバッファ161 を経由してAステージ103へ転送され、プログラムカウンタ116には命令403のアドレス "000000068H" が "PC" としてセッテируется。更に、命令404 がDステージ101からバッファ160 を経由してDステージ102へ転送され、Dステージ102のプログラムカウンタ115 には命令404のアドレス "000000068H" が "PC" としてセットされる。更に、外部メモリから命令405 がDステージ101 にフェッチされ、バッファ160 にその命令404の命令コード及び命令アドレスが記憶される。この状態が図12(d)に示されている。

[01128] Eステージ107では、命令401の処理が終了すると、命令401がメモリ書き込みを伴うので、ストップアダッフルア120に書き込まれデータを伝送する。その後、命令402がメモリデータを伝送する。また、次の命令402がFステージ106からバッファ163を経由してEステージ107へ伝送され、Eステージ107のプログラムカウンタ118には命令402としてセットされる。また、次の命令402がFステージ106からバッファ163を経由してEステージ107へ伝送され、Eステージ107のプログラムカウンタ118には命令402のアドレス「000000064H」が「SPC」としてセットされる。更に、命令403がAステージ103からバッフルア162を経由してFステージ106へ伝送され、プログラムカウンタ117には命令403のアドレス「000000066H」が「PPC」としてセットされる。更に、命令404がDステージ102からバッフルア161を経由してAステージ103へ伝送され、命令404がAステージ103からバッフルア162を経由してFステージ106へ伝送され、命令404のアドレス「000000068H」が「APC」としてセットされる。更に、命令405がAステージ103からバッフルア160を経由してDステージ102へ伝送され、Dステージ102のプログラムカウンタ115には命令405のアドレス「000000068A」が「OP」(オペレーティング・パラメータ)として記憶され、命令405がDステージ101にフェッチされ、バッフルア160にその命令404の命令コード及び命令アドレスが記憶される。この状態が図12(e)に示されている。

[01129] ストップア120では、PCブレークポイント150に予め記憶されている長時間処理命令のアドレスとスピーカスとプログラムカウンタ119に「SPC」として記憶された値とを比較し、この場合は一致するので検出信号S16を前段の各ステージ101、102、103、106の電源供給端

回路141、142、143、144へ出力する。これにより、電源供給配線2から各ステージ101、102、103、106への電源の供給が停止される。これにより、各ステージ101、102、103、106はその動作を停止するが、バッファ100、161、162、163への給電は停止されないのでその時点の記憶内容、具体的にはその時点の各ステージ101、102、103、106の処理結果を失うことはない。

【0130】ストップアフタ120は命令01の処理が終了すると、処理終了信号R138を発生して各電源供給配線回路141、142、143、144に与える。これにより、電源供給配線2から各ステージ101、102、103、106への電源の供給が再開される。この電源の供給が再開された時点まで、各ステージ101、102、103、106の処理結果のデータは記憶されている(バッファ160、161、162、163の内容がそれまでのステージ102、103、105、107へ送られるので、それとのステージ102、103、106、107ではそれらのデータに従って以降の処理を再開する)。

【0131】IFステージ101は、バッファ160に記憶されている命令アドレスの次のアドレス、上述の例では命令0106の命令アドレスがバッファ160に記憶されているのでその命令0106の次の命令0107のアドレス(00000006E(H))が命令フェッチアドレスレジスタ130に与えられる。

14

15

た時点では特定のハイブライン処理ステージより前段の各ハイブライン処理ステージへのクロックの供給が停止される。従って、特定の命令を特定のハイブライン処理ステージで処理している間は从来は待機状態になる各ハイブライン処理ステージが動作しないために無駄な電力消費が回避される。

[0135]また、本発明のデータ処理装置の第2の発明によれば、特定のハイブライン処理ステージでの処理に際して他の各ハイブライン処理ステージが待機状態になるとよるような特定の命令がデコードされた時点で特定のハイブライン処理ステージより前の各ハイブライン処理ステージへの給電が停止される。従って、特定の命令を特定のハイブライン処理ステージで処理している間は从来は待機状態になる各ハイブライン処理ステージが動作しないために無駄な電力消費が回避される。

[0136]また、本発明のデータ処理装置の第3の発明によれば、特定のハイブライン処理ステージでの処理に際して他の各ハイブライン処理ステージが待機状態になるとよるような特定の命令のアドレスが検出された時点で特定のハイブライン処理ステージより前の各ハイブライン処理ステージへのクロックの供給が停止される。従って、特定の命令を特定のハイブライン処理ステージで処理している間は从来は待機状態になる各ハイブライン処理ステージが動作しないために無駄な電力消費が回避される。

[0137]また、本発明のデータ処理装置の第4の発明によれば、特定のハイブライン処理ステージでの処理に際して他の各ハイブライン処理ステージが待機状態になるとよるような特定の命令のアドレスが検出された時点で特定のハイブライン処理ステージより前段の各ハイブライン処理ステージへの給電が停止される。従って、特定の命令を特定のハイブライン処理ステージで処理している間は从来は待機状態になる各ハイブライン処理ステージが動作しないために無駄な電力消費が回避される。

[0138]また、本発明のデータ処理装置の第5の発明によれば、特定のハイブライン処理ステージでの処理に際して他の各ハイブライン処理ステージが待機状態になるとよるような特定の命令がデコードされた時点で特定のハイブライン処理ステージより前段の各ハイブライン処理ステージでの処理結果が静的記憶手段に保存された状態で各ハイブライン処理ステージ及び各静的記憶手段へのクロックの供給が停止される。従って、特定の命令を特

となるような特定の命令のアドレスが検出された時点で特  
定のバイ二ライン処理ステージより新段の各バイ二ライ  
ン処理ステージでの処理結果が静的記憶手段に保存され  
た状態で各バイ二ライン処理ステージへの給電が停止さ  
れる。従って、特定の命令を特定のバイ二ライン処理ス  
テージで処理している間は從来は待機状態になる各バイ  
二ライン処理ステージが動作しないために無駄な電力消  
費が回避されると共に、処理再開時には各静的記憶手段  
に保存されている内容に従って直ちにバイ二ライン処理  
が再開される。

【図面の簡単な説明】

【図1】本発明に係るデータ処理装置の第1の発明の一  
実施例の構成を示すプロック図である。

【図2】本発明に係るデータ処理装置の第1の発明の一  
実施例の動作説明のための各バイ二ラインノン処理手段で各  
ステージにおいて処理される命令の状態を示す模式図で  
ある。

[図3] 本発明に係るデータ処理装置の第2の発明の一実施例の構成を示すブロッカ図である。

[図4] 本発明に係るデータ処理装置の第2の発明の一実施例の動作説明のため各バイライン・処理段階で各ステージにおいて処理される命令の状態を示す模式図である。

[図5] 本発明に係るデータ処理装置の第3の発明の一実施例の構成を示すブロッカ図である。

[図6] 本発明に係るデータ処理装置の第3の発明の一実施例の動作説明のため各バイライン・処理段階で各ステージにおいて処理される命令の状態を示す模式図である。

[図7] 本発明に係るデータ処理装置の第4の発明の一実施例の構成を示すブロッカ図である。

[図8] 本発明に係るデータ処理装置の第4の発明の一実施例の動作説明のため各バイライン・処理段階で各ステージにおいて処理される命令の状態を示す模式図である。

図 9 1 本発明に係るデータ処理装置の第 5 の発明の一実施例の構成を示すブロック図である。

図 10 1 本発明に係るデータ処理装置の第 5 の発明の一実施例の動作説明のための各ライセンス処理段階で操作するステーションにおいて処理される命令の状態を示す模式図である。

図 11 1 本発明に係るデータ処理装置の第 6 の発明の一実施例の構成を示すブロック図である。

図 12 1 本発明に係るデータ処理装置の第 6 の発明の一実施例の動作説明のための各ライセンス処理段階で操作するステーションにおいて処理される命令の状態を示す模式図である。

**図1-3】**従来のデータ処理装置の一構成例を示すプロトコルである。

(18)

【図15】従来のデータ処理装置の動作実験のための各バイアルイン処理部附帯ステージにおいて処理される命令の状態を示す模式図である。
【符号の説明】
1 クロック供給配線
2 電源供給配線
101 IFステージ
102 Dステージ
103 Aステージ
106 Fステージ
107 Eステージ
115 プログラムカウンタ
116 プログラムカウンタ
117 プログラムカウンタ
118 プログラムカウンタ
119 プログラムカウンタ

[図2] ソースコードの変換

```

(a) Dストレージ名    値   項中の ◆◆◆
      Dストレージ名    smov.b (401)
      Aストレージ名    -
      Fストレージ名    -
      Eストレージ名    -
      バイト数(401)

(b) Dストレージ名    mov.b w(402)
      Aストレージ名    smov.b (401)
      Fストレージ名    -
      Eストレージ名    -
      バイト数(401)

(c) Dストレージ名    mov.b w(402)
      Aストレージ名    smov.b (401)
      Fストレージ名    -
      Eストレージ名    -
      バイト数(401)

(d) Dストレージ名    mov.b w(402)
      Aストレージ名    smov.b (401)
      Fストレージ名    -
      Eストレージ名    -
      バイト数(401)

(e) Dストレージ名    mov.b w(402)
      Aストレージ名    Fストレージ名
      Fストレージ名    Eストレージ名
      Eストレージ名    バイト数(401)
      バイト数(401)
  
```

【図15】従来のデータ処理装置の動作実験のための各バイアルイン処理部附帯ステージにおいて処理される命令の状態を示す模式図である。
【符号の説明】
1 クロック供給配線
2 電源供給配線
101 IFステージ
102 Dステージ
103 Aステージ
106 Fステージ
107 Eステージ
115 プログラムカウンタ
116 プログラムカウンタ
117 プログラムカウンタ
118 プログラムカウンタ
119 プログラムカウンタ

120 ストアバッファ

[図2]

[図1]

```

    graph TD
      A["(a) Dステーツ mov: a, w (401)"] --> B["(b) Dステーツ mov: a, w (402)"]
      B --> C["(c) Dステーツ mov: a, w (403)"]
      C --> D["(d) Dステーツ mov: a, w (401)"]
      D --> E["(e) Dステーツ mov: a, w (402)"]
      E --> F["(f) Dステーツ mov: a, w (403)"]
      F --> G["(g) Dステーツ mov: a, w (401)"]
      G --> H["(h) Dステーツ mov: a, w (402)"]
      H --> I["(i) Dステーツ mov: a, w (403)"]
      I --> J["(j) Dステーツ mov: a, w (401)"]
  
```

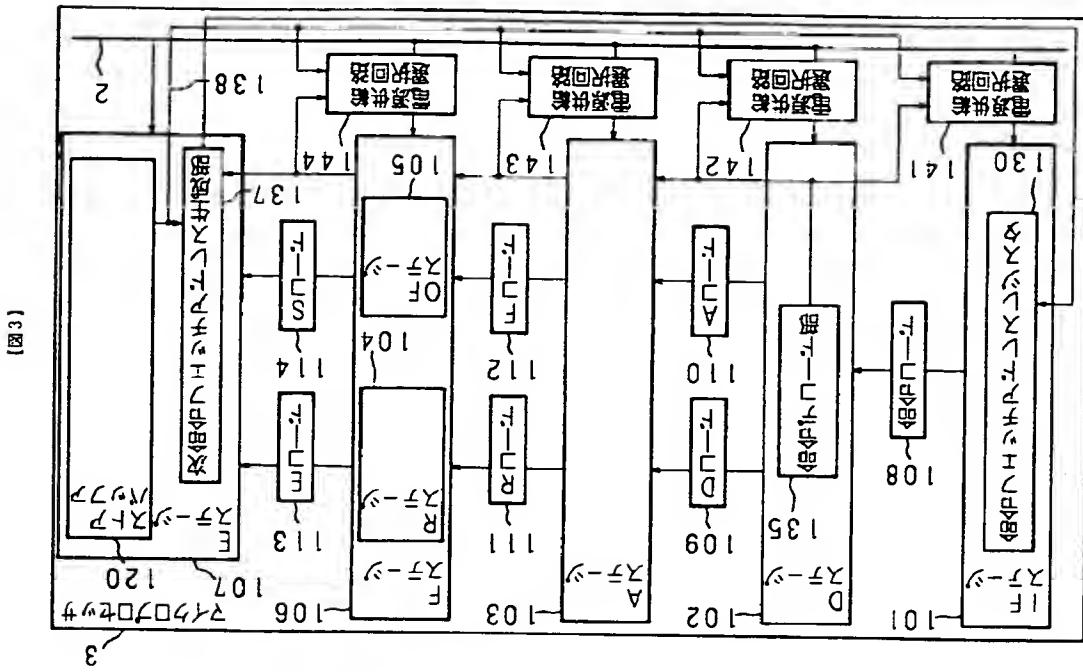
Diagram illustrating the execution flow of assembly code across two memory pages. The code consists of mov instructions followed by addresses (401), (402), and (403). The flow starts at address 401, moves to 402, then 403, and loops back to 401. Each step involves reading from memory, performing a store operation, and then reading again.

```

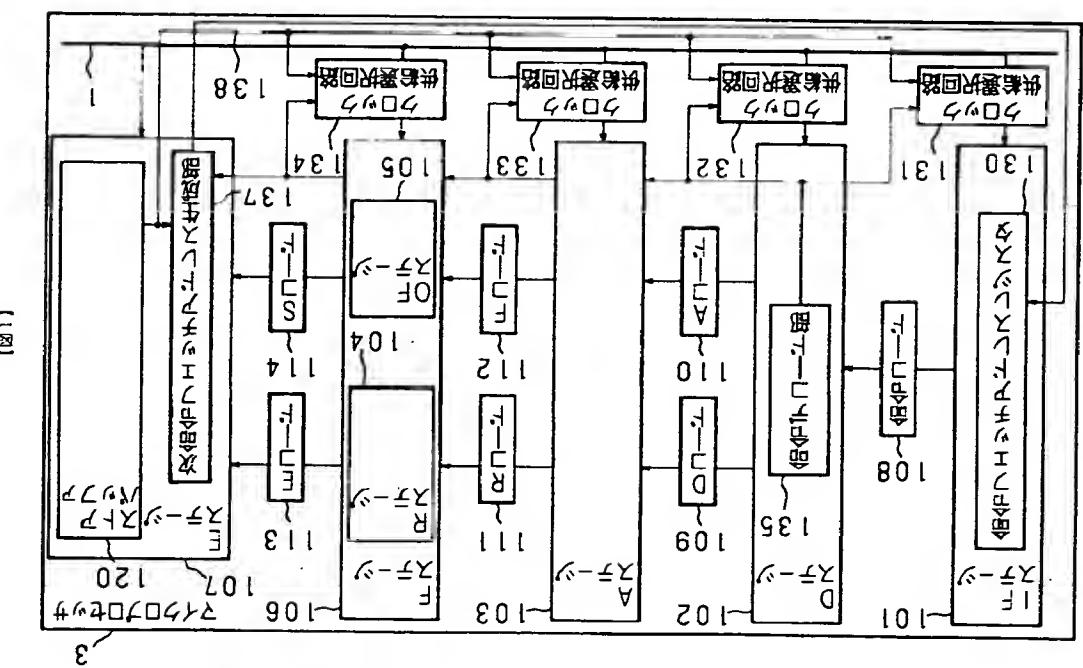
    graph TD
      A["(a) Dステーツ mov: a, w (401)"] --> B["(b) Dステーツ mov: a, w (402)"]
      B --> C["(c) Dステーツ mov: a, w (403)"]
      C --> D["(d) Dステーツ mov: a, w (401)"]
      D --> E["(e) Dステーツ mov: a, w (402)"]
      E --> F["(f) Dステーツ mov: a, w (403)"]
      F --> G["(g) Dステーツ mov: a, w (401)"]
      G --> H["(h) Dステーツ mov: a, w (402)"]
      H --> I["(i) Dステーツ mov: a, w (403)"]
      I --> J["(j) Dステーツ mov: a, w (401)"]
  
```

Diagram illustrating the execution flow of assembly code across two memory pages. The code consists of mov instructions followed by addresses (401), (402), and (403). The flow starts at address 401, moves to 402, then 403, and loops back to 401. Each step involves reading from memory, performing a store operation, and then reading again.

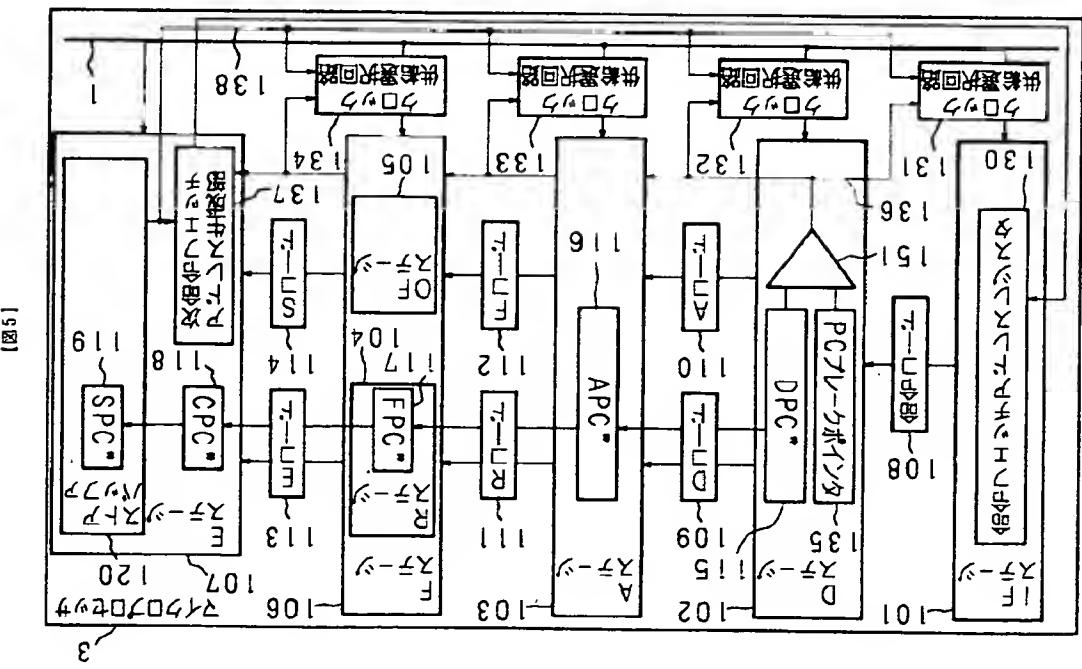
(18)



(17)

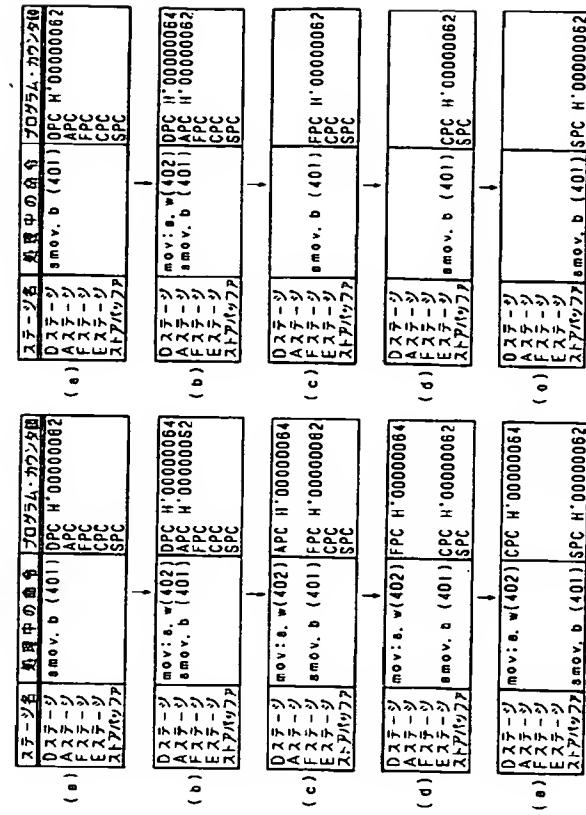


1201



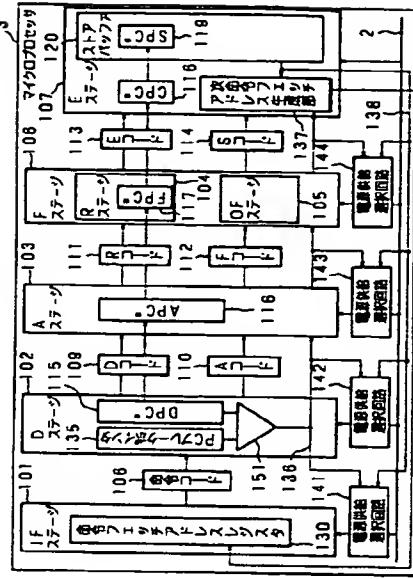
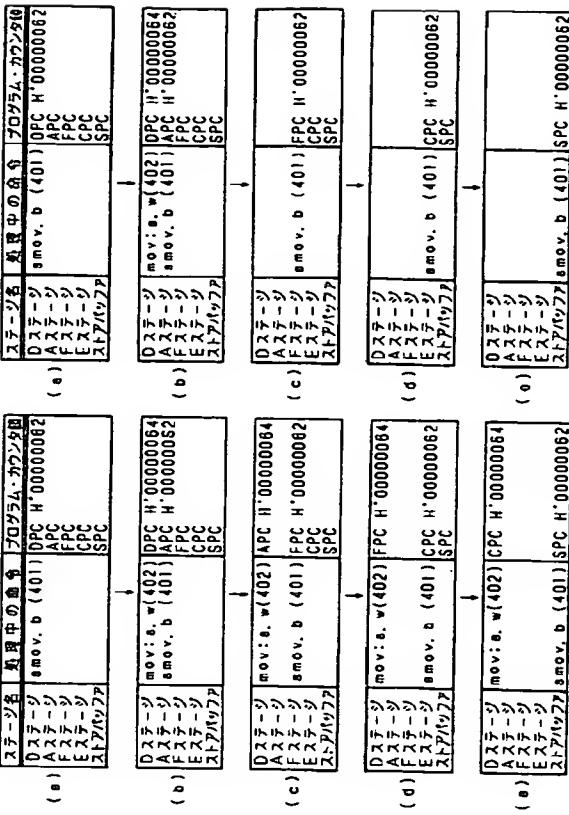
(18)

15



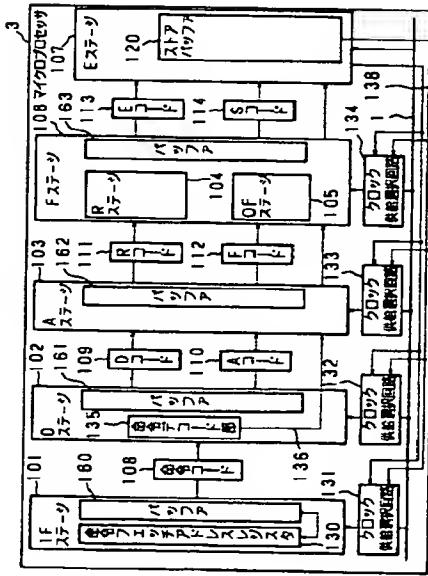
18

1



(21)

168

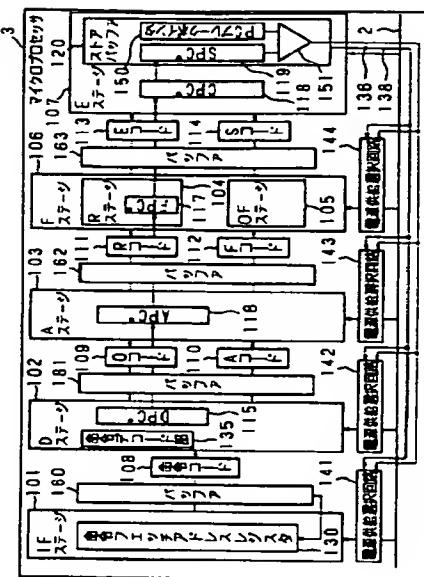


四〇一

121

(22)

四



三

This diagram illustrates the internal architecture of the 6502 microprocessor. It shows the connections between the累加器(A), X寄存器(X), Y寄存器(Y), and the堆栈指针(S) on the left; the Address Bus (A<sub>15</sub>-A<sub>0</sub>) at the top; the Data Bus (D<sub>7</sub>-D<sub>0</sub>) at the bottom; and the Control Bus (R/W, CS, RD, WR, M1, M2, EA, and various clock and enable signals). The diagram also includes the ROM and RAM chips, as well as the various stages of the instruction pipeline.

14

アドレス	オペ	オペ	オペ	オペ
0000000000000062	amov.b			-401
0000000000000064	mov.a,w	r2,(r13)		-402
0000000000000065	add.o,w	\$4,r13		-403
0000000000000066	mov.a,w	r1,(r13)		-404
0000000000000068	mov.a,w	r4,r3		-405
0000000000000069	mov.i,w	r4,r0		-406
000000000000006C	mov.i,w	r1,r1		-407
000000000000006E	mov.i,w	r1,r0		-408
0000000000000070	add.o,w	r1,r1		-409

(23)

[図15]

